Fecha del CVA	14/09/2023

Parte A. DATOS PERSONALES

Nombre *	Salvador		
Apellidos *	Manich Bou		
Sexo *	Hombre	Fecha de Nacimiento *	[redacted]
DNI/NIE/Pasaporte *	[redacted]	Teléfono *	[redacted]
URL Web			
Dirección Email	salvador.manich@upc.edu		
Identificador científico	Open Researcher and Contributor ID (ORCID) *	0000-0001-5265-1209	
	Researcher ID		
	Scopus Author ID		

* Obligatorio

A.1. Situación profesional actual

Puesto	Titular de universidad		
Fecha inicio	[redacted]		
Organismo / Institución	Universitat Politècnica de Catalunya		
Departamento / Centro	Departamento de Ingeniería Electrónica / Escuela Técnica Superior de Ingeniería Industrial de Barcelona (ETSEIB)		
País	España	Teléfono	93 4011095
Palabras clave	330703 - Diseño de circuitos		

A.2. Situación profesional anterior

Periodo	Puesto / Institución / País
1992 - 2001	Profesor/ra asociado/da / Universitat Politècnica de Catalunya
1988 - 1992	Becari / Departament dEnginyeria Electrònica (UPC)
1986 - 1989	Analista/Programador / REINSA
1984 - 1986	Administrativo/Programador / NACAR
1982 - 1986	Becario/aria de investigación / Institut de Ciències del Mar

A.3. Formación académica

Grado/Master/Tesis	Universidad / País	Año
Enginyer Industrial	Universitat Politècnica de Catalunya	[redacted]
Enginyer Industrial	UPC	

Parte C. MÉRITOS MÁS RELEVANTES

C.1. Publicaciones

AC: Autor de correspondencia; (nº x / nº y): posición firma solicitante / total autores. Si aplica, indique el número de citaciones

1 **Artículo científico**. Arumi, D.; Álvaro Gómez-Pau; Manich, S.; Rodriguez-Montanes, R.; Bargalló, M.; Campabadal, F.(3/6). 2018. Unpredictable bits generation based on RRAM parallel configuration. IEEE electron device letters. 40-2, pp.341-344. ISSN 0741-3106. (22) https://doi.org/10.1109/LED.2018.2886396

2 **Artículo científico**. Weiner, M.; Manich, S.; Rodriguez-Montanes, R.; Sigl, G.(2/4). 2017. The low area probing detector as a countermeasure against invasive attacks. IEEE transactions on very large scale integration (VLSI) systems. 99, pp.1-12. ISSN 1063-8210. (25) https://doi.org/10.1109/TVLSI.2017.2762630

3 **Artículo científico**. Neagu, M.; Manich, S.(2/2). 2017. Defending cache memory against cold-boot attacks boosted by power or EM radiation analysis. Microelectronics journal. 62, pp.85-98. ISSN 0026-2692. (1) https://doi.org/10.1016/j.mejo.2017.02.010

4 **Artículo científico**. Neagu, M.; Miclea, L.; Manich, S.(3/3). 2015. Improving security in cache memory by power efficient scrambling technique. IET computers and digital techniques. pp.1-10. ISSN 1751-8601. (21) https://doi.org/10.1049/iet-cdt.2014.0030

5 **Artículo científico**. Manich, S.; Strasser, M.(1/2). 2013. A Highly time sensitive XOR gate for probe attempt detectors. IEEE transactions on circuits and systems II: express briefs. ISSN 1549-7747. (8) https://doi.org/10.1109/TCSII.2013.2278126

6 **Artículo científico**. Manich, S.; García, L.; Figueras, J.(1/3). 2007. Minimizing Test Time in Arithmetic Test-Pattern Generators With Constrained Memory Resources. IEEE transactions on computer-aided design of integrated circuits and systems. 26-11, pp.2046-2058. ISSN 0278-0070.

7 **Artículo científico**. Manich, S.; Balado, L.; Figueras, J.; Santos, M.; Teixeira, I.; Teixeira, J.(1/6). 2004. On High-Quality, Low Energy Built-In Self Test Preparation at RT-Level. Journal of electronic testing. Theory and applications. 20-4, pp.345-355. ISSN 0923-8174. https://doi.org/10.1023/B:JETT.0000039603.89172.2e

8 **Artículo científico**. Manich, S.; Gabarró, A.; López, M.; et al; Santos, M.(1/10). 2000. Low Power BIST by Filtering Non-Detecting Vectors. Journal of electronic testing. Theory and applications. 16-3, pp.193-202. ISSN 0923-8174.

9 **Artículo científico**. Nicolaidis, M.; Duarte, R.; Manich, S.; Figueras, J.(3/4). 1997. Fault-Secure Parity Prediction Arithmetic Operators. IEEE design and test of computers. 14-2, pp.60-71. ISSN 0740-7475.

10 **Capítulo de libro**. Rius, J.; Manich, S.; Rodriguez-Montanes, R.; JOSEP, R.; Peidro, A.(2/5). 2003. Power and energy consumption of CMOS circuits: measurement methods and experimental results. Integrated circuit and system design. Springer. pp.80-89. ISBN 3-540-20074-6.

C.2. Congresos

1 Arumi, D.; Manich, S.; Rodriguez-Montanes, R.. RRAM based cell for hardware security applications. 1st IEEE International Verification and Security Workshop. 2016. España. Participativo - Ponencia oral (comunicación oral).

2 Manich, S.; Arumi, D.; Rodriguez-Montanes, R.; Mujal, J.; Hernandez, D.. Backside polishing detector: a new protection against backside attacks. XXX Conference on Design of Circuits and Integrated Systems. 2015. Portugal. Participativo - Ponencia oral (comunicación oral).

3 Hesselbarth, R.; Manich, S.; Sigl, G.. Modeling and analyzing bistable ring based PUFs. 4th Workshop on Secure Hardware and Security Evaluation. 2015. Francia. Participativo - Póster. Jornada.

4 Neagu, M.; Miclea, L.; Manich, S.. On the use of error detecting and correcting codes to boost security in caches against side channel attacks. 3rd Workshop on Trustworthy Manufacturing and Utilization of Secure Devices. 2015. Francia. Participativo - Ponencia oral (comunicación oral). Jornada.

5 Neagu, M.; Manich, S.; Miclea, L.. Defeating simple power analysis attacks in cache memories. XXX Conference on Design of Circuits and Integrated Systems. 2015. Participativo - Ponencia oral (comunicación oral).

6 Weiner, M.; Manich, S.; Sigl, G.. Defeating microprobing attacks using a resource efficient detection circuit. XXIX Conference on Design of Circuits and Integrated Systems. 2014. España. Participativo - Ponencia oral (comunicación oral).

7 Weiner, M.; Manich, S.; Sigl, G.. A low area probing detector for power efficient security ICs. 10th International Workshop on RFID Security. 2014. Reino Unido. Participativo - Ponencia oral (comunicación oral). Jornada.

8 Neagu, M.; Manich, S.; Miclea, L.. Interleaved scrambling technique: A novel low-power security layer for cache memories. 19th IEEE European Test Symposium. 2014. Alemania. Participativo - Póster.

9 Weiner, M.; Manich, S.; Sigl, G.. A low area probing detector for security IC's. 2nd Workshop on Trustworthy Manufacturing and Utilization of Secure Devices. 2014. Alemania. Participativo - Ponencia oral (comunicación oral).

10 Manich, S.; Arumi, D.; Rodriguez-Montanes, R.; Sigl, G.; Mujal, J.. Backside polishing detector. 1st Workshop on Trustworthy Manufacturing and Utilization of Secure Devices. 2013. Francia. Participativo - Ponencia oral (comunicación oral). Jornada.

11 Manich, S.; Wamser, M. S.; Sigl, G.. Information Leakage Reduction at the Scan-Path Output. DCIS - XXVIII conference on digital circuits and integrated systems. 2013. España. Participativo - Ponencia oral (comunicación oral).

12 Manich, S.; Wamser, M. S.; Sigl, G.. Improving the security of scan path test using differential chains. 1st Workshop on Trustworthy Manufacturing and Utilization of Secure Devices. 2013. Francia. Participativo - Ponencia oral (comunicación oral). Jornada.

13 Manich, S.; Wamser, M. S.; Guillen, O.; Sigl, G.. Differential scan-path: A novel solution for secure design-for-testability. 2013 IEEE International Test Conference. 2013. Participativo - Ponencia oral (comunicación oral).

14 Manich, S.; Wamser, M. S.; Sigl, G.. Detection of probing attempts in secure ICs. IEEE International Symposium on Hardware-Oriented Security and Trust 2012. 2012. Estados Unidos de América. Participativo - Ponencia oral (comunicación oral).

15 Rodriguez-Montanes, R.; Arumi, D.; Manich, S.; Figueras, J.; Stefano Di Carlo; Paolo Prinetto; Scionti, A.. Defective Behaviour of an 8T SRAM Cell with Open Defects. Second International Conference on Advances in System Testing and Validation Lifecycle. 2010. Francia. Participativo - Ponencia oral (comunicación oral).

16 Fransi, S.; Farre, G.; García, L.; Manich, S.. Design and implementation of automatic test equipment IP module. 15th IEEE European Test Symposium. 2010. República Checa. Participativo - Póster.

17 Rius, J.; Manich, S.; Rodriguez-Montanes, R.; Ridao, M.. Electrical Characterization of Conductive Ink Layers on Textile Fabrics: Model and Experimental Results. XXII Conference of Circuits and Integrated Systems. 2007. España. Participativo - Ponencia oral (comunicación oral).

18 Mendoza, R.; Sanahuja, R.; Ferré, R.; Manich, S.; Balado, L.; Figueras, J.. Low cost estimation of leakage power consumption in large nanometric CMOS circuits. XXII Conference of Circuits and Integrated Systems. 2007. España.

19 Manich, S.; Figueras, J.; Teixeira, M.. Modeling data volume versus test time in arithmetic test pattern generators. DCIS 2006 - XXI Conference on Design of Circutis and Integrated Systems. 2006. España.

20 Manich, S.; García, L.; Figueras, J.. Arithmetic Test Pattern Generatiors: a Bit Level Formulation of the Optimization Problem. XX Conference on Design of Circuits and Integrated Systems. 2005. Portugal. Participativo - Ponencia oral (comunicación oral).

21 Manich, S.. Moderador sessió 6d: Neural Networks and Microrobot. XX Conference on Design of Circuits and Integrated Systems. 2005. Portugal.

22 Manich, S.; García, L.; Balado, L.; Rius, J.; Rodriguez-Montanes, R.; Figueras, J.. Improving the Efficiency of Arithmetic BIST by Combining Targeted. XIX Conference on Design of Circuits and Integrated Systems. 2004. Francia. Participativo - Otros.

23 Manich, S.; García, L.; Balado, L.; Lupon, E.; Rius, J.; Rodriguez-Montanes, R.; Figueras, J.. BIST Technique by Equally Spaced Test Vector Sequences (http://ieeexplore.ieee.org/iel5/9095/28867/01299245.pdf). VTS 2004 - 22nd IEEE VLSI Test Symposium. 2004. Estados Unidos de América. Participativo - Ponencia oral (comunicación oral).

24 Rius, J.; Peidro, A.; Manich, S.; Rodriguez-Montanes, R.; Boemo, E.. Measuring power and energy of cmos circuits: a compatarive analysis. XVIII Conference on Design of Circuits and Integrated Systems. 2003. España. Participativo - Ponencia oral (comunicación oral).

25 Rius, J.; Peidro, A.; Manich, S.; Rodriguez-Montanes, R.. Power and energy consumption of cmos circuits: measurement methods and experimental results. Integrated Circuit and Syste Design. Power and Timing Modeling, Optimization and Simulation. 13th International Workshop, PATMOS 2003.. 2003. Italia. Participativo - Ponencia oral (comunicación oral).

26 Manich, S.; García, L.; Balado, L.; Lupon, E.; Rius, J.; Rodriguez-Montanes, R.; Figueras, J.. On the selection of efficient arithmetic additive test pattern generators. IEEE European Test Workshop. 2003. Holanda. Participativo - Ponencia oral (comunicación oral).

27 Manich, S.; Lupon, E.; Figueras, J.. Rtl level energy model for pseudo-random based tests. XVII Conference on Design of Integrated Circuits and Systems. 2002. España.

28 Santos, M.; Teixeira, I.; Teixeira, J.; Manich, S.; Rodriguez-Montanes, R.; Figueras, J.. Rtl level preparation of high-quality/low energy/low-power bist. iNTERNATIONAL TEST CONFERENCE 2002. 2002. Estados Unidos de América. Participativo - Ponencia oral (comunicación oral).

29 Santos, B.; Teixeira, J.; Manich, S.; Balado, L.; Figueras, J.. On High-Quality, Low Energy BIST Preparation at RT-Level. Latin American Testing Workshop. 2002. Uruguay.

30 Caldentey, G.; Cid, J.; Rius, J.; Manich, S.; Rodriguez-Montanes, R.. An Energy Model and Estimator for a 32 Bit Microprocessor. XVI Conference on Design of Integrated Circuits and Systems DCIS. 2001. Portugal. Participativo - Ponencia oral (comunicación oral).

31 Santos, M.; Braga, J.; Coimbrao, P.; Manich, S.; Balado, L.; Teixeirea, J.; Figueras, J.. Low Energy Built-in Self-Test preparation at RT-Level. XVI Conference on Design of Circuits and Integrated Systems. 2001. Portugal.

32 Santos, M.; Braga, J.; Coimbrao, P.; Manich, S.; Balado, L.; Teixeirea, J.. RTL Guided Random-Pattern-Resistant Fault Detection and Low Energy BIST. Workshop on Design and Diagnosys of Electronic Circuits and Systems. 2001. Hungría.

33 Manich, S.; Lopez, M.; Figueras, J.. Low Energy BIST with Scalable Area Overhead Impact. XV Conference on Design of Circuits and Integrated Systems. 2000. Francia.

34 Manich, S.; Figueras, J.. Energy and average power consumption reduction in lfsr based bist structures. XIV Design of Circuits and Integrated Systems Conference. 1999. España.

35 Manich, S.; Gabarró, A.; López, M.; et al; Santos, M.. Low power bist by filtering non-detecting vectors. ETW 99 - IEEE European Test Workshop. 1999. Alemania.

36 Manich, S.; Figueras, J.. Worst Case Dynamic Power Consumption (http://dit.upc.es/lpdntt/biblio/BREUS/MAN97d.pdf). XII Design of Circuits and Integrated Systems Conference. 1997. España.

37 Fransi, S.; Manich, S.; Figueras, J.. On Estimating Static Power Consumption in Pseudo-Nmos Programable Logic (http://dit.upc.es/lpdntt/biblio/BREUS/FRA97a.pdf). XII Design of Circuits and Integrated Systems Conference. 1997. España.

38 Manich, S.. Worst Case Dynamic Power Consumption. XII Design of Circuits and Integrated Systems Conference. 1997. España. Participativo - Otros.

39 Manich, S.. On Estimating Static Power Consumption in Pseudo-Nmos Programmable Logic. XII Design of Circuits and Integrated Systems Conference. 1997. España. Participativo - Otros.

40 Manich, S.; Figueras, J.. Sensitivity of the worst case dynamic power estimation on delay and filtering models. Power and Timing Modelling and Optimization Workshop PATMOS'97. 1997. Bélgica.

41 Manich, S.. SENSITIVITY OF THE WORST CASE DYNAMIC POWER ESTIMATION ON DELAY FILTERING MODELS. Power and Timing Modelling and Optimization Workshop PATMOS'97. 1997. Bélgica. Participativo - Ponencia oral (comunicación oral).

42 Manich, S.; Figueras, J.. Maximizing the weithted switching activity in combinational cmos circuits under the variable delay model. EUROPEAN DESIGN AND TEST CONFERENCE 1997. 1997. Francia.

43 Manich, S.. MAXIMIZING THE WEITGHTED SWITCHING ACTIVITY IN COMBINATIONAL CMOS CIRCUITS UNDER THE VARIABLE DELAY. EUROPEAN DESIGN AND TEST CONFERENCE 1997. 1997. Francia. Participativo - Ponencia oral (comunicación oral).

44 Manich, S.; Figueras, J.. Maximizing the Weighted Switching Activity in Combinational CMOS Circuits. PATMOS96. 1996. Italia.

45 Manich, S.. Maximizing the Weighted Switching Activity in Combinational CMOS Circuits. PATMOS96. 1996. Italia. Participativo - Otros.

46 Manich, S.; Nicolaidis, M.; Figueras, J.. Enhancing Realistic Fault Secureness in Parity Prediction Array Arithmetic Operators by IDDQ Monitoring. 14TH IEEE VLSI TEST SYMPOSIUM. 1996. Estados Unidos de América.

47 Nicolaidis, M.; Manich, S.; Figueras, J.. Achieving Fault Secureness in Parity Prediction Arithmetic Operators: General Conditions and Implementation. THE EUROPEAN DESIGN AND TEST CONFERENCE 1996. 1996. Francia.

48 Manich, S.. Enhancing Realistic Fault Secureness in Parity Prediction Array Arithmetic Operators by IDDQ Monitoring. 14TH IEEE VLSI TEST SYMPOSIUM. 1996. Estados Unidos de América. Participativo - Otros.

49 Manich, S.. Achieving Fault Secureness in Parity Prediction Arithmetic Operators: General Conditions and Implementation. THE EUROPEAN DESIGN AND TEST CONFERENCE 1996. 1996. Francia. Participativo - Otros.
50 Manich, S.; Rius, J.; Figueras, J.. Utilización de un Sensor IDDQ de Test de Corriente para Determinar el Consumo Medio en un Circuito Integrado. X Congreso de Diseño de Circuitos Integrados y Sistemas. 1995. España.
51 Manich, S.. Utilización de un Sensor IDDQ de Test de Corriente para Determinar el Consumo Medio en un Circuito Integrado. X Congreso de Diseño de Circuitos Integrados y Sistemas. 1995. España. Participativo - Otros.
52 Manich, S.. A Fault-Secure Modified Booth Multiplier. European Conference on Design Automation. 1993. Francia. Participativo - Otros.
53 Manich, S.; Ruiz, C.; Figueras, J.. A Fault-Secure Modified Booth Multiplier (http://dit.upc.es/lpdntt/biblio/BREUS/MAN93a.pdf). European Conference on Design Automation. 1993. Francia.
54 Manich, S.; Ruiz, C.; Figueras, J.. Multiplicador de Booth con Autotest Concurrente. VII CONGRESO DE DISEÑO DE CIRCUITOS INTEGRADOS. 1992. España.
55 Manich, S.. Multiplicador de Booth con Autotest Concurrente. VII CONGRESO DE DISEÑO DE CIRCUITOS INTEGRADOS. 1992. España. Participativo - Otros.

C.3. Proyectos y Contratos

1 **Proyecto**. TEC2013-41209-P, Análisis y técnicas de mejora de la robustez y seguridad de circuitos nanométricos en presencia de ataques, defectos, variabilidad y envejecimiento. MIN DE ECONOMIA Y COMPETITIVIDAD. Salvador Manich Bou. (Departamento de Ingeniería Electrónica). 01/01/2014-30/06/2018. 122.815 €.
2 **Proyecto**. TEC2010-18384, Impacto de la variabilidad en las estrategias de test y diagnóstico de circuitos micro/nanoelectrónicos. Ministerio de Ciencia e Innovación (MICINN). (Departamento de Ingeniería Electrónica). 01/01/2011-30/06/2015. 220.212,44 €.
3 **Proyecto**. 2009SGR1151, Qualitat en Electrònica: Disseny de Baix Consum, Test, Verificació i Tolerància a Fallades. Generalitat de Catalunya. Departament de Relacions Institucionals i Participació; Agència de Gestió d'Ajuts Universitaris i de Recerca (Agaur). (Universitat Politècnica de Catalunya). 01/01/2009-31/12/2013.
4 **Proyecto**. HI2008-0041 Ministerio de Ciencia e Innovación, HI2008-0041 Acción integrada de investigación científica y tecnológica entre España e Italia. Ministerio de Ciencia e Innovación. (UPC). 01/01/2009-31/12/2010. 11.720 €.
5 **Proyecto**. TEC2007-66672, Diagnostico en tecnologias CMOS nanometricas: mejora del rendimiento. Ministerio de Educación, Política Social y Deporte. (Departamento de Ingeniería Electrónica). 01/10/2007-31/12/2010. 99.704 €.
6 **Proyecto**. CLEAN : Controlling Leakage in Nanometer CMOS SoCs. FP6-2004-IST-4-026980-IP. (Departamento de Ingeniería Electrónica). 01/01/2006-31/12/2008.
7 **Proyecto**. TIC2002-03127, Test y diseño para la testabilidad de circuitos CMOS de bajo consumo. Ministerio de Ciencia y Tecnología. (Departamento de Ingeniería Electrónica). 01/12/2002-31/12/2005.
8 **Proyecto**. TIC2001-2246, BIST de bajo consumo para socs: fallos catastróficos y variaciones del proceso. CICYT-TIC2001-2246. (Departamento de Ingeniería Electrónica). 28/12/2001-31/12/2004. 146.358,46 €.
9 **Proyecto**. HP2001-0005, Diseño y Test de Circuitos Integrados de Bajo Consumo (Acción Integrada Hispano-Lusa). Salvador Manich Bou. 01/01/2002-31/12/2003. 4.387,37 €.
10 **Proyecto**. HP2001-0005, Diseño y Test de Circuitos Integrados de Bajo Consumo (Acción Integrada Hispano-Lusa). 01/01/2002-31/12/2003. 4.387,37 €.
11 **Proyecto**. HP2001-0005, Diseño y Test de Circuitos Integrados de Bajo Consumo. Cooperación Hispano-Lusa. Salvador Manich Bou. (Departamento de Ingeniería Electrónica). 01/01/2001-31/12/2003. 4.387,37 €.
12 **Proyecto**. A-0511, Implementació del Sistema Electrònic de Bicicletas Comunitàries. Salvador Manich Bou. (BACC). 28/08/2002-28/08/2003.

13 **Proyecto**. A-0511, Implementació del Sistema Electrònic de Bicicletas Comunitàries. (BACC). 28/08/2002-28/08/2003.

C.4. Actividades de transferencia y explotación de resultados

1 **Patente invención**. Salvador Manich Bou; Luis Caballero Díaz. P201131091. DISPOSITIVO DE CONTROL DINÁMICO DE ILUMINACIÓN EN ESPACIOS CERRADOS PARA OPTIMIZAR Y REDUCIR EL CONSUMO ENERGÉTICO España. 29/06/2011. Universitat Politècnica de Catalunya.

2 **Patente invención**. Juan Figueras Pamies; Luz Maria Balado Suarez; Salvador Manich Bou; Antoni Ferre Fabregas; Ricard Sanahuja Moliner. P200702180. Dispositivo de control de la tensión de polarización de un módulo electrónico funcional España. 30/07/2007. UPC.

C.5. Estancias en centros de I+D+i públicos o privados

1 Technische Universität München. Alemania. Munich. 08/06/2015-19/06/2015. 12 días. Invitado/a.

2 Universitat Tècnica de Munich (TUM). Alemania. Munich. 30/06/2014-11/07/2014. 12 días. Invitado/a.

3 Universitat Tècnica de Munich (TUM). Alemania. Munich. 19/06/2014-20/06/2014. 2 días. Invitado/a.

4 Technische Universität München. Alemania. Munich. 01/10/2011-30/06/2012. 9 meses. Invitado/a.

5 IST/INESC. Portugal. Lisboa. 15/06/2002-15/07/2002. 1 mes. Invitado/a.