Fecha del CVA	18/09/2023

Parte A. DATOS PERSONALES

Nombre	Antonio		
Apellidos	Calomarde Palomino		
Sexo	Hombre	Fecha de Nacimiento	
DNI/NIE/Pasaporte			
URL Web			
Dirección Email	ANTONIO.CALOMARDE@UPC.EDU		
Open Researcher and Contributor ID (ORCID)	0000-0002-4459-8505		

A.1. Situación profesional actual

Puesto	Titular de universidad		
Fecha inicio			
Organismo / Institución	Universitat Politècnica de Catalunya		
Departamento / Centro	Departamento de Ingeniería Electrónica		
País		Teléfono	
Palabras clave			

A.2. Situación profesional anterior (incluye interrupciones en la carrera investigadora - indicar meses totales, según texto convocatoria-)

Periodo	Puesto / Institución / País
2016 - 2020	Titular de universidad / Universitat Politècnica de Catalunya / España
2014 - 2016	Titular de escuela universitaria / Universitat Politècnica de Catalunya / España
1986 - 2014	Titular de escuela universitaria / Universitat Politècnica de Catalunya

A.3. Formación académica

Grado/Master/Tesis	Universidad / País	Año
por la Universitat Politècnica de Catalunya	Universitat Politècnica de Catalunya / España	[redacted]
Enginyer Electrònic	Universitat Autònoma de Barcelona	
Ingeniero Técnico en Electricidad (Electrónica Industrial)		

Parte C. LISTADO DE APORTACIONES MÁS RELEVANTES

C.1. Publicaciones más importantes en libros y revistas con "peer review" y conferencias

AC: Autor de correspondencia; (nº x / nº y): posición firma solicitante / total autores. Si aplica, indique el número de citaciones

1 **Artículo científico.** Caro, M.; Tabani, H.; Abella, J.; et al; Fornt, J.; Calomarde, A.(8/12). 2023. An automotive case study on the limits of approximation for object detection. Journal of systems architecture. 138-article 102872, pp.1-14. ISSN 1383-7621. https://doi.org/10.1016/j.sysarc.2023.102872

2 **Artículo científico.** Calomarde, A.; Manich, S.; Rubio, A.; Gamiz, F.(1/4). 2022. Influence of punch trough stop layer and well depths on the robustness of bulk FinFETs to heavy ions impact. IEEE access. Institute of Electrical and Electronics Engineers (IEEE). 10, pp.47169-47178. ISSN 2169-3536. https://doi.org/10.1109/ACCESS.2022.3171813

3 **Artículo científico**. Calomarde, A.; Rubio, A.; Moll, F.; Gamiz, F.(1/4). 2020. Active radiation-hardening strategy in bulk FinFETs. IEEE access. Institute of Electrical and Electronics Engineers (IEEE). 8, pp.201441-201449. ISSN 2169-3536. (2) https://doi.org/10.1109/ACCESS.2020.3035974

4 **Artículo científico**. Amat, Esteve; Calomarde, A.; Canal, R.; Rubio, A.(2/4). 2018. Optimization of FinFET-based gain cells for low power sub-vt embedded drams. Journal of low power electronics. 14-2, pp.236-243. ISSN 1546-1998.

5 **Artículo científico**. Amat, Esteve; Calomarde, A.; Moll, F.; Canal, R.; Rubio, A.(2/5). 2016. Feasibility of Embedded DRAM Cells on FinFET Technology. IEEE transactions on computers. Institute of Electrical and Electronics Engineers (IEEE). 65-4, pp.1068-1074. ISSN 0018-9340. (11) https://doi.org/10.1109/TC.2014.2375204

6 **Artículo científico**. Calomarde, A.; Amat, Esteve; Moll, F.; Vigara, J.; Rubio, A.(1/5). 2014. SET and noise fault tolerant circuit design techniques: application to 7 nm FinFET. Microelectronics reliability. 54-4, pp.738-745. ISSN 0026-2714. (10) https://doi.org/10.1016/j.microrel.2013.12.018

7 **Artículo científico**. Perez, J.; Moll, F.; Calomarde, A.(3/3). 2014. All-digital simple clock synthesis through a glitch-free variable-length ring oscillator. IEEE transactions on circuits and systems II: express briefs. 61-2, pp.90-94. ISSN 1549-7747. (3) https://doi.org/10.1109/TCSII.2014.2299096

8 **Artículo científico**. Amat, Esteve; Calomarde, A.; Garcia, C.; Aymerich, N.; Canal, R.; Rubio, A.(2/6). 2013. Impact of finfet and III-V/Ge technology on logic and memory cell behavior. IEEE transactions on device and materials reliability. 14-1, pp.1-15. ISSN 1530-4388. (8) https://doi.org/10.1109/TDMR.2013.2291410

9 **Artículo científico**. García, L.; Andrade, D.; Gomez, S.; Calomarde, A.; Moll, F.; Rubio, A.(4/6). 2011. New redundant logic design concept for high noise and low voltage scenarios. Microelectronics journal. 42-12, pp.1359-1369. ISSN 0026-2692. (2) https://doi.org/10.1016/j.mejo.2011.09.007

10 **Artículo científico**. Andrade, D.; Martorell, F.; Calomarde, A.; Moll, F.; Rubio, A.(3/5). 2009. A new compensation mechanism for environmental parameter fluctuations in CMOS digital ICs. Microelectronics journal. 40-6, pp.952-957. ISSN 0026-2692. (5) https://doi.org/10.1016/j.mejo.2009.01.002

C.2. Congresos

Calomarde, A.; Amat, E.; Rubio, A.; Moll, F.; Gamiz, F.. Active charge collection strategy for radiation environment at device level. RADECS 2016. 2016. Alemania. Participativo - Ponencia oral (comunicación oral).

C.3. Proyectos o líneas de investigación

1 **Proyecto**. PID2022-141391OB-C22, TECNOLOGIAS Y PLATAFORMAS EMERGENTES PARA COMPUTACION NEUROMORFICA EN ESPACIO - UPC. Ministerio de Ciencia e Innovación. (Universitat Politècnica de Catalunya). 01/09/2023-31/08/2027. 220.000 €.

2 **Proyecto**. TEC2016-75151-C3-2-R, Dispositivos, circuitos y arquitecturas fiables y de bajo consumo para IoT.. MIN DE ECONOMIA Y COMPETITIVIDAD. (Departamento de Ingeniería Electrónica). 30/12/2016-29/06/2021. 243.815 €.

3 **Proyecto**. TEC2013-45638-C3-2-R, Aproximación multinivel al diseño orientado a la fiabilidad de circuitos integrados analógicos y digitales. MIN DE ECONOMIA Y COMPETITIVIDAD. (Departamento de Ingeniería Electrónica). 01/01/2014-31/12/2018. 261.481 €.

4 **Proyecto**. TEC2008-01856, PRINCIPIOS DE DISEÑO Y TEST DE SISTEMAS INTEGRADOS EN TERA-ESCALA. Gobierno de España. Ministerio de Ciencia e Innovación (Micinn). (Departament d'Enginyeria Electrònica-UPC). 01/01/2009-31/12/2013. 551.155 €.

5 **Proyecto**. TEC2008-01856, Principios de diseño y test de sistemas integrados en tera-escala. Ministerio de Ciencia e Innovación. (Departamento de Ingeniería Electrónica). 01/12/2009-30/11/2013.

6 **Proyecto**. FP7-248789-TRAMS, Terascale reliable adaptive memory systems. Commission of European Communities. (Departamento de Ingeniería Electrónica). 01/01/2010-31/12/2012. 413.066,5 €.

7 **Proyecto**. FP7-PLE2009-0024-MODERN, Modeling and design of reliable, process-variation aware nanoelectronic devices,circuits and systems. Ministerio de Ciencia e Innovación (MICINN). (Departamento de Ingeniería Electrónica). 01/04/2009-31/03/2012. 173.363 €.

8 **Proyecto**. ENIAC 120003 MODERN, Modeling and design of reliable, process-variation aware nanoelectronic devices,circuits and systems. Commission of European Communities. (Departamento de Ingeniería Electrónica). 01/03/2009-28/02/2012. 33.953,98 €.

C.4. Actividades de transferencia de tecnología/conocimiento y explotación de resultados

1 **Patente invención**. Antonio Calomarde Palomino; Jose Antonio Rubio Sola; Francesc de Borja Moll Echeto; Lancelot García Leyva. P200901626. Procedimiento para la mejora de la fiabilidad de circuitos integrados digitales en condiciones de baja relación señal a ruido P200901626 España. 15/07/2009. Universitat Politècnica de Catalunya.

2 **Patente invención**. Antonio Calomarde Palomino. 57753. PROCEDIMIENTO PARA LA OBTENCIÓN DE LA ACTIVIDAD DE TRANSICIÓN DE UN CIRCUITO A P ARTIR DE SU FUNCIÓN DE TRANSFERENCIA España. 28/12/2006.